

DRIVING DEVICE FOR INDUCTIVE LOAD

Patent Number: JP11205114
Publication date: 1999-07-30
Inventor(s): NAGATA JUNICHI; HAYAKAWA JUNJI; BAN HIROYUKI
Applicant(s): DENSO CORP
Requested Patent: ☐ JP11205114
Application Number: JP19980006160 19980114
Priority Number(s):
IPC Classification: H03K17/695
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce a voltage generated at both terminals of a rectifier element for forming the current route and to suppress the heat generation of the element in a driving device constituted to make a current flow to an inductive load by the voltage generated at the time of the interruption of energizing from a DC power source to the inductive load.

SOLUTION: A MOSFET 30 is connected in parallel to the rectifier element 20 for making the current flow to the inductive load L by the voltage generated at the inductive load L when a first switching element 10 is OFF at the time of constant current chopper driving the inductive load L. When the first switching element 10 is ON, a capacitive element 40 is charged through a rectifier means 50. When the first switching element 10 is OFF, a second switching element 60 is turned ON and the MOSFET 30 is turned ON by the voltage charged to the capacitive element 40. As a result, the voltage generated at both terminals of the rectifier element 20 when the first switching element 10 is OFF is substantially reduced and the heat generation in the rectifier element 20 is suppressed.

Data supplied from the esp@cenet database - I2

(11)特許出願公開番号

特開平11-205114

(43)公開日 平成11年(1999)7月30日

(51) Int.Cl.⁶
H 0 3 K 17/695

識別記号

F I
H O 3 K 17/687

B

審査請求 未請求 請求項の数6 OL (全 10 頁)

(21)出願番号 特願平10-6160

(22)出願日 平成10年(1998)1月14日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 永田 淳一

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 早川 順二

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72)発明者 伴 博行

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

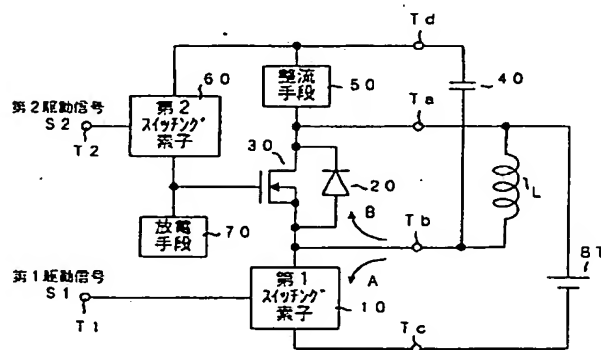
(74)代理人 弁理士 足立 勉

(54)【発明の名称】 誘導性負荷の駆動装置

(57) 【要約】

【課題】 直流電源から誘導性負荷への通電遮断時に発生する電圧にて誘導性負荷に電流を流すように構成された駆動装置において、その電流経路を形成する整流素子の両端に生じる電圧を低減して素子の発熱を抑制する。

【解決手段】 誘導性負荷 L を定電流チョップパ駆動する際に、第1スイッチング素子10のオフ時に誘導性負荷 L に生じる電圧にて負荷 L に電流を流す整流素子20に、MOSFET30を並列に接続し、第1スイッチング素子10のオン時には、整流手段50を介して容量素子40を充電し、第1スイッチング素子10のオフ時には、第2スイッチング素子60をオンして、この容量素子40に充電した電圧にてMOSFET30をオンさせる。この結果、第1スイッチング素子10のオフ時に整流素子20の両端に発生する電圧を大幅に減少させて、整流素子20での発熱量を抑制することができる。



【特許請求の範囲】

【請求項1】 直流電源から誘導性負荷への電源供給経路に設けられ、該電源供給経路を第1駆動信号に応じて導通・遮断する第1スイッチング素子と、前記誘導性負荷に並列に接続され、前記第1スイッチング素子のオフ時に、前記誘導性負荷の通電遮断によって前記誘導性負荷の第1スイッチング素子側に生じた電圧により前記誘導性負荷に電流を流す整流素子と、を備えた誘導性負荷の駆動装置において、前記整流素子の両端に一对の出力端子が夫々接続されたMOSFETと、

一端が前記誘導性負荷の第1スイッチング素子側端部に接続された、電荷を蓄積可能な第1容量素子と、一端が前記第1容量素子の他端に接続されると共に、他端が前記誘導性負荷の前記第1スイッチング素子とは反対側端部に接続され、前記第1スイッチング素子のオン時に、前記直流電源からの供給電圧によって、前記第1容量素子を充電する方向に電流を流す整流手段と、一对の出力端子が、前記整流手段と前記第1容量素子との接続点及び前記MOSFETの制御端子に夫々接続され、前記第1スイッチング素子のオフ時に制御端子に入力される第2駆動信号によりオン状態となって、前記第1容量素子と前記整流手段との接続点から前記MOSFETの制御端子に電圧を印加し、前記MOSFETをオンさせる第2スイッチング素子と、前記第2スイッチング素子が前記第2駆動信号の入力遮断によってターンオフした際に、前記第2スイッチング素子のオン時に前記電圧印加によって前記MOSFETの制御端子-出力端子間に蓄積された電荷を放電させて、前記MOSFETをオフさせる放電手段と、を備えたことを特徴とする誘導性負荷の駆動装置。

【請求項2】 前記整流素子は、前記MOSFETの製造時に前記MOSFETの出力端子間に形成される寄生ダイオードからなることを特徴とする請求項1に記載の誘導性負荷の駆動装置。

【請求項3】 前記整流手段と前記第1容量素子との接続点と、前記第2スイッチング素子の制御端子との間に、第2容量素子を設け、前記整流手段と前記第1容量素子との接続点電位の変動により前記第2スイッチング素子が誤動作するのを防止するようにしたことを特徴とする請求項1又は請求項2に記載の誘導性負荷の駆動装置。

【請求項4】 前記放電手段は、前記電荷の放電経路に設けられた第3スイッチング素子と、前記第2駆動信号の入力遮断時に、該第3スイッチング素子をオンして前記電荷を放電させる駆動手段と、からなることを特徴とする請求項1～請求項3いずれか記載の誘導性負荷の駆動装置。

【請求項5】 請求項1～請求項4いずれか記載の誘導性負荷の駆動装置において、更に、前記誘導性負荷への

電源供給経路を導通・遮断するために外部から入力される制御信号に応じて、所定の時間差を持たせて前記第1駆動信号及び第2駆動信号を交互に生成する駆動信号生成手段を設けたことを特徴とする誘導性負荷の駆動装置。

【請求項6】 前記駆動信号生成手段は、前記制御信号に応じて第3容量素子を充放電する充放電回路と、該充放電回路により充放電される第3容量素子の両端電圧を、電圧レベルの異なる第1基準電圧及び第2基準電圧と夫々大小比較する一对の比較回路を備え、該各比較回路を用いて、前記制御信号に対応した前記第1駆動信号及び第2駆動信号を交互に生成することを特徴とする請求項5に記載の誘導性負荷の駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電磁弁やモータ等の誘導性負荷を通電制御するのに使用される誘導性負荷の駆動装置に関する。

【0002】

【従来の技術】従来より、誘導性負荷を定電流チョッパ駆動する装置として、例えば図6に示すように、一端（端子Ta）が直流電源BTの正極側に接続された誘導性負荷Lの他端（端子Tb）から、直流電源BTの負極側（端子Tc）に至る、誘導性負荷Lへの電源供給経路上に、所謂ローサイドスイッチとしてnチャンネルMOSFETからなるスイッチング素子10を備え、誘導性負荷Lの両端（端子Ta、Tb）に、スイッチング素子10がターンオフした際に誘導性負荷Lのスイッチング素子10側端子Tbに生じる電圧により誘導性負荷Lに電流を流す電流経路Bを形成する、ダイオードからなる整流素子20を並列接続した駆動装置が知られている。

【0003】この駆動装置は、外部からスイッチング素子10の制御端子（MOSFETのゲート）T1に入力される駆動信号S1によってスイッチング素子10をオン/オフさせることにより、誘導性負荷Lに流れる負荷電流の経路を、直流電源BTの正極側から誘導性負荷Lを通過して直流電源BTの負極側に至る電流経路Aと、整流素子20により形成される電流経路Bとに交互に切り換えて、誘導性負荷Lを定電流駆動するものである。

【0004】

【発明が解決しようとする課題】ところで、上記従来の駆動装置において、整流素子20には、通常、ダイオードが使用されることから、スイッチング素子10がオフ状態で、整流素子20に負荷電流が流れる際には、整流素子20の両端に、0.6～1.0V程度の電圧が発生し、整流素子（ダイオード）20での発熱量が多くなるという問題があった。また、このようなことから、上記駆動装置を、半導体集積回路（IC）にて構成する場合には、整流素子20を構成するダイオードを内蔵することができず、駆動装置の集積化により装置のコストダウ

ンを図ることができないという問題があった。

【0005】本発明は、こうした問題に鑑みなされたものであり、直流電源から誘導性負荷への電源供給経路を遮断したときに誘導性負荷に発生する電圧にて誘導性負荷に電流を流すように構成された誘導性負荷の駆動装置において、その電流経路を形成する整流素子の両端に生じる電圧を低減して、整流素子の発熱を抑制することを目的とする。

【0006】

【課題を解決するための手段】かかる目的を達成するためになされた請求項1に記載の誘導性負荷の駆動装置においては、図1に例示する如く、直流電源BTから誘導性負荷Lへの電源供給経路を第1駆動信号S1に応じて導通・遮断する第1スイッチング素子10が設けられ、誘導性負荷Lには、第1スイッチング素子10のオフ時に、誘導性負荷Lの通電遮断によって誘導性負荷Lの第1スイッチング素子側（端子Tb）に生じた電圧により誘導性負荷Lに電流を流す整流素子20が、並列に接続される。

【0007】このため、本発明の駆動装置は、図6に示した従来の駆動装置と同様、第1駆動信号S1を第1スイッチング素子10の制御端子T1に入力して第1スイッチング素子10をオン／オフさせることにより、誘導性負荷Lに流れる負荷電流の経路を、第1スイッチング素子10を通る電流経路Aと、整流素子20を通り電流経路Bとに交互に切り換え、誘導性負荷Lを定電流チョップ駆動することができる。

【0008】また、本発明の駆動装置においては、整流素子20の両端には、MOSFET（図1ではnチャンネルMOSFET）30の一对の出力端子（ドレイン、ソース）が接続され、誘導性負荷Lの第1スイッチング素子10側端部（端子Tb）には、電荷を蓄積可能な第1容量素子40の一端が接続され、更に、第1容量素子40の他端には、整流手段50が接続される。

【0009】整流手段50は、第1スイッチング素子10のオン時に、直流電源BTから電源供給を受けて、第1容量素子40を充電する方向に電流を流すためのものであり、整流手段50の第1容量素子40とは反対側端部は、誘導性負荷Lの第1スイッチング素子10とは反対側端部（換言すれば、直流電源BTと第1スイッチング素子10との接続点；端子Ta）に接続される。

【0010】即ち、第1スイッチング素子10がオン状態で、誘導性負荷Lに直流電源BTから電源供給がなされているときには、誘導性負荷Lの第1スイッチング素子10側端部（端子Tb）が、第1スイッチング素子10を介して、直流電源BTに接続されることから、その端子Tbの電位は、スイッチング素子10を介して接続される直流電源BTの一方の電極（図1では負極）と略同電位となる。そして、この端子Tbには、第1容量素子40の一端が接続され、第1容量素子40の他端（端

子Td）は、整流手段50を介して、直流電源BTの他方の電極（1図では正極）に接続された端子Taに接続されることから、第1スイッチング素子10がオン状態であるとき、第1容量素子40には、整流手段50を介して、直流電源BTから電流が流れ込み、第1容量素子40は、直流電源BTの電源電圧VBTから整流手段50で生じる電圧降下分Vfを差し引いた電圧「 $VBT - Vf$ 」まで充電されることになる。

【0011】一方、整流手段50と第1容量素子40との接続点（端子Td）及びMOSFET30の制御端子（ゲート）には、第2スイッチング素子60の一对の出力端子が夫々接続される。第2スイッチング素子60は、第1スイッチング素子10のオフ時に、第2スイッチング素子60の制御端子T2に入力される第2駆動信号S2によりオン状態となって、MOSFET30の制御端子（ゲート）に、第1スイッチング素子10のオン時に第1容量素子40に充電された電圧によって端子Tdに生じる電圧を印加し、MOSFET30をオンさせるためのものである。

【0012】つまり、第1スイッチング素子10がオフ状態であるとき、直流電源BTから誘導性負荷Lに電流が流れないので、誘導性負荷Lの第1スイッチング素子10との接続点（端子Tb）の電位は、第1スイッチング素子10のオン時から変化（図1では上昇）するが、第1容量素子40の一端は端子Tbに接続されているため、端子Tdの電位も端子Tbの電位と同様に変化する。

【0013】例えば、図1に示す装置において、第1スイッチング素子10がオンからオフへ移行したことによる端子Tbの電位の変化量を ΔV_{Tb} とすると、端子Tdの電位V_{Td}は、「 $V_{Td} = VBT - Vf + \Delta V_{Tb}$ 」と表すことができる。そして、Vfは、第1容量素子40の充電時に整流手段50の両端に生じる電圧（電圧降下分）であり、電源電圧VBTに比べて充分小さく、また、 ΔV_{Tb} は、電源電圧VBTと略等しいことから、端子Tdの電位V_{Td}は、概ね、「 $V_{Td} = 2VBT$ 」と表すことができる。従って、第1スイッチング素子10がオンからオフに切り換えられると、端子Tdの電位が、直流電源BTの正極側電位の約2倍にまで上昇することになる。

【0014】また、図1に示す装置において、MOSFET30をオンさせるには、MOSFET30のゲート電位を、端子Tbの電位よりもMOSFET30のしきい値電圧分だけ高くする必要があり、第1スイッチング素子10がオフ状態で、整流素子20による電流経路Bが形成されている場合に、MOSFET30をオンさせるには、MOSFET30の制御端子（ゲート）の電位を、直流電源の正極側電位よりもMOSFET30のしきい値電圧以上高くする必要がある。

【0015】そこで、本発明では、上記のように第1スイッチング素子10のオン時に電源電圧VBTを用いて充

電しておいた第1容量素子40の出力電圧が印加される端子Tdから、MOSFET30の制御端子（ゲート）へと、第2スイッチング素子60を介して電圧を印加することにより、MOSFET30をオンさせるのである。この結果、第1スイッチング素子10がオフされ、負荷電流が、整流素子20にて形成される電流経路Bを流れているときに、整流素子20の両端に発生する電圧を、図6に示した従来装置に比べて、大幅に減少させることができ、整流素子20での発熱量を抑制できる。

【0016】また次に、本発明の駆動装置には、第2スイッチング素子60が第2駆動信号S2の入力遮断によってターンオフした際に、第2スイッチング素子60のオン時に上記電圧印加によってMOSFET30の制御端子—出力端子間に蓄積された電荷を放電させて、MOSFET30をオフさせる、放電手段70が設けられる。

【0017】この放電手段70は、第2駆動信号S2の入力遮断と同時に、MOSFET30を速やかにオフさせることで、次に第1駆動信号S1が入力されて第1スイッチング素子10がオンした際に、MOSFET30と第1スイッチング素子10とが同時にオン状態となり、直流電源BTの正極側から、MOSFET30及び第1スイッチング素子10を介して、直流電源BTの負極側へと貫通電流が流れるのを防止するためのものである。

【0018】そして、その後第1駆動信号が入力されて、第1スイッチング素子10がオンすると、直流電源BTから誘導性負荷Lへと電流経路Aにて負荷電流が流れ、第1容量素子40は、整流手段50を介して、再び充電されることになる。以上説明したように、本発明の誘導性負荷の駆動装置においては、第1スイッチング素子10のオフ時に誘導性負荷Lに蓄積された磁気エネルギーにて負荷電流を流すための整流素子20に、MOSFET30を並列に接続し、第1スイッチング素子10のオフ時には、第2スイッチング素子60の制御端子T2に第2駆動信号を入力することにより、MOSFET30をオンさせることができるようにされている。

【0019】このため、本発明の駆動装置によれば、第1スイッチング素子10及び第2スイッチング素子60の制御端子T1、T2に、第1駆動信号S1及び第2駆動信号S2を交互に入力して、第1スイッチング素子10及び第2スイッチング素子60を交互にオンさせれば、第1スイッチング素子10のオフ時に負荷電流が電流経路Bを流れる際に整流素子20の両端に発生する電圧を、MOSFET30により大幅に減少させて、整流素子20での発熱量を抑制することができる。従って、駆動装置をIC化する際には、整流素子20をIC内に組み込むことが可能になる。

【0020】なお、本発明では、整流素子20に負荷電流が流れる際の両端電圧を低減するためにMOSFET

30を使用するが、これは、MOSFET30の代わりにバイポーラトランジスタを用いると、バイポーラトランジスタに流れる電流を確保するために、そのチップ面積を大きくする必要があるためである。つまり、本発明の駆動装置では、整流素子20の両端電圧を低減して発熱を防止するためにMOSFET30を使用することにより、駆動装置のIC化を容易に図ることができるようにしているのである。

【0021】また、第1スイッチング素子10のオフ時にMOSFET30をオンさせるために第2スイッチング素子60からMOSFET30の制御端子（ゲート）に印加する電圧は、第1スイッチング素子10のオン時に整流手段50を介して電源電圧VBT近傍にまで充電される第1容量素子40から得るようにしているので、MOSFET30をオンさせるために、電源電圧VBTを昇圧する昇圧回路等を別途設ける必要がなく、装置構成を極めて簡単にすることができる。

【0022】ここで、上記説明では、MOSFET30は整流素子20に並列に接続されるものとしたが、MOSFET30の出力端子間（ソースドレイン間）には、製造時に寄生ダイオードが形成されることから、請求項2に記載のように、この寄生ダイオードを整流素子20として機能させれば、整流素子20を省略することもできる。

【0023】また、第2スイッチング素子60の端子Td側制御端子には、第1スイッチング素子10のオン／オフに応じて大きく変化する電圧が印加されることから、第2スイッチング素子60がこの電圧変化によって誤動作することも考えられる。このため、より好ましくは、請求項3に記載のように、整流手段50と第1容量素子40との接続点（端子Td）と、第2スイッチング素子60の制御端子T2との間に、電圧変動を吸収する第2容量素子を設け、整流手段50と第1容量素子40との接続点電位の変動により第2スイッチング素子60が誤動作するのを防止するようにするとよい。

【0024】一方、放電手段70は、第2スイッチング素子60が第2駆動信号S2の入力遮断によってターンオフした際に、MOSFET30を速やかにオフさせ、MOSFET30と第1スイッチング素子10とが同時にオン状態となるのを防止するためのものであるため、例えば、請求項4に記載のように、MOSFET30の制御端子からの電荷の放電経路（図1に示す装置であれば、MOSFET30の制御端子から端子Tcに至る経路）に第3スイッチング素子を設け、第2駆動信号の入力遮断時には、駆動手段によって第3スイッチング素子をオンさせるように構成するとよい。

【0025】つまり、このようにすれば、第3スイッチング素子を介して、MOSFET30に蓄積された電荷を速やかに放電させることが可能になり、MOSFET30のカットオフスピードを高めて、直流電源BTから

MOSFET 30 及び第 1 スイッチング素子 10 に直通電流が流れる危険性を少なくすることができる。

【0026】また次に、本発明の駆動装置を用いて誘導性負荷 L の通電制御を行う際には、第 1 スイッチング素子 10 及び第 2 スイッチング素子 60 の制御端子 T1, T2 に、第 1 駆動信号 S1 及び第 2 駆動信号 S2 を交互に入力する必要があるが、このためには、誘導性負荷 L の通電制御を行う制御装置側で、これら各駆動信号 S1, S2 を生成しなければならず、第 2 駆動信号 S2 を必要としない駆動装置を用いて誘導性負荷 L の通電制御を行う従来の制御装置をそのまま利用することができない。

【0027】そこで、本発明の駆動装置には、更に、請求項 5 に記載のように、誘導性負荷 L への電源供給経路を導通・遮断するために外部から入力される制御信号に応じて、所定の時間差を持たせて第 1 駆動信号 S1 及び第 2 駆動信号 S2 を交互に生成する駆動信号生成手段を設けるようにしてもよい。つまり、このように構成すれば、制御装置側からは、第 1 スイッチング素子 10 のオン/オフ指令を行う制御信号を出力するだけでよい。従来、従来の制御装置をそのまま用いることが可能になる。

【0028】なお、駆動信号生成手段は、制御信号に応じて、第 1 スイッチング素子 10 をオンさせるための第 1 駆動信号 S1、及び、第 2 スイッチング素子 60 をオンさせるための第 2 駆動信号 S2 を、所定の時間差を持たせて生成するが、これは、駆動信号 S1, S2 を制御信号に応じて交互に生成するようにすると、第 1 スイッチング素子 10 がオンからオフに完全に切り変わっていない状態で、MOSFET 30 がオン状態になってしまうとか、逆に、MOSFET 30 がオンからオフに完全に切り変わっていない状態で、第 1 スイッチング素子 10 がオン状態になってしまうといったことを防止するためである。つまり、各駆動信号 S1, S2 を時間差を持たせて交互に生成することにより、MOSFET 30 と第 1 スイッチング素子 10 とが同時にオンするのをより確実に防止するのである。

【0029】そして、このための駆動信号生成手段としては、例えば、請求項 6 に記載のように、制御信号に応じて第 3 容量素子を充放電する充放電回路と、この充放電回路により充放電される第 3 容量素子の両端電圧を、電圧レベルの異なる第 1 基準電圧及び第 2 基準電圧と夫々大小比較する一対の比較回路とを用いて構成することができる。なお、この構成の具体例については、後述する実施例にて詳細に説明する。

【0030】また次に、上記説明では整流素子 20 に接続する MOSFET 30 として、n チャネル MOSFET を用いた図 1 の駆動装置を用いて、本発明の構成・作用・効果を説明したが、これは、図 1 の駆動装置が、第 1 スイッチング素子 10 が誘導性負荷 L と直流電源 BT

の負極側との間に所謂ローサイドスイッチとして設けられているためであり、第 1 スイッチング素子 10 が直流電源 BT の正極側と誘導性負荷 L との間に所謂ハイサイドスイッチとして設けられている装置では、図 2 に示すように、MOSFET 30 として、p チャネル MOSFET を用いるようにすればよい。即ち、本発明は、第 1 スイッチング素子 10 がローサイドスイッチとして設けられた駆動装置であっても、ハイサイドスイッチとして設けられた駆動装置であっても、上記説明した通りに各手段を設けることにより（図 2 参照）、上述の効果を得ることができる。

【0031】なお、第 1 スイッチング素子 10 がハイサイドスイッチとして設けられた図 2 に示す駆動装置においては、端子 Td の電位が端子 Tb の電位よりも低くなる方向に第 1 容量素子 40 が充電され、第 1 スイッチング素子 10 のオフ時には、端子 Td の電位が、直流電源 BT の正極側電位 (Tc) よりも電源電圧 VBT の約 2 倍の電圧分だけ低くなり、MOSFET 30 は、第 2 スイッチング素子 60 を介して制御端子 (ゲート) にこの負電位が印加されることにより、オンすることになる。

【0032】

【発明の実施の形態】以下に本発明の実施例を図面に基づき説明する。図 3 は本発明が適用された第 1 実施例の誘導性負荷の駆動装置の構成を表す。図 3 に示す如く、本実施例の駆動装置は、図 1 に示した駆動装置を具体化したものであり、ローサイドスイッチを構成する第 1 スイッチング素子として、端子 Tb, Tc を介して、誘導性負荷 L と直流電源 BT の負極側に接続された端子 Tc との間に接続された n チャネル MOSFET 12 (以下単に FET 12 という) を備える。また、誘導性負荷 L と直流電源 BT の正極側との接続点に接続された端子 Ta と端子 Tc との間には、FET 12 のオフ時に電流経路 B を形成して、誘導性負荷 L への電源供給経路 (つまり電流経路 A) の遮断時に誘導性負荷 L の端子 Tb 側に発生する正の高電圧にて、誘導性負荷 L に電流を流すために、n チャネル MOSFET 32 (以下単に FET 32 という) が設けられている。

【0033】なお、この FET 32 は、本発明にかかわる主要部である前述の MOSFET 30 に対応するものであり、一方の出力端子であるドレインが端子 Ta に、他方の出力端子であるソースが端子 Tb に夫々接続されている。そして、FET 32 のドレイン-ソース間には、ソースからドレイン側への電流の流れを許容する寄生ダイオード (図示せず) が形成されることから、本実施例では、この寄生ダイオードが前述の整流素子 20 として利用するようにされている。

【0034】また、端子 Td と端子 Tb との間には、第 1 容量素子としてのコンデンサ 42 が接続されており、端子 Td と端子 Ta との間には、端子 Ta 側から端子 Td 側への電流方向が順方向となるように、アノードが端

子T_aに、カソードが端子T_dに夫々接続された、整流手段としてのダイオード52が設けられている。

【0035】また本実施例の駆動装置には、第2スイッチング素子として、PNPトランジスタ62が備えられており、このPNPトランジスタ62の一方の出力端子であるエミッタは端子T_dに、同じく他方の出力端子であるコレクタは、ダイオード64を介して、FET32のゲートに接続されている。なお、ダイオード64は、アノードがPNPトランジスタ62のコレクタに接続され、カソードがFET32のゲートに接続されて、PNPトランジスタ62からFET32のゲート側への一方方向にのみ電流を流す。また、PNPトランジスタ62のエミッターベース間には、第2容量素子としてのコンデンサ66が設けられている。

【0036】また次に、FET32のドレインには、エミッタが端子T_cに接続されたNPNトランジスタ72のコレクタが接続されている。このNPNトランジスタ72は、FET32のオン時にFET32のゲートドレイン間の容量に蓄積された電荷を放電させて、FET32を速やかにオフさせるためのものであり、前述の放電手段として機能する。

【0037】そして、本実施例の駆動装置には、このNPNトランジスタ72とPNPトランジスタ62とを端子T₂を介して外部から入力される駆動信号（第2駆動信号）S₂に応じてオン／オフさせる、前述の駆動手段としての駆動回路DRが設けられている。

【0038】駆動回路DRは、ベースが端子T₂に接続され、コレクタがインピーダンス素子Z₂を介して端子T_aに接続され、エミッタが端子T_cに接続されたNPNトランジスタ74と、NPNトランジスタ74のコレクタとNPNトランジスタ72のベースに接続するインピーダンス素子Z₄と、ベースがインピーダンス素子Z₆を介してNPNトランジスタ74のコレクタに接続され、エミッタが端子T_cに接続され、コレクタがインピーダンス素子Z₈を介して端子T_aに接続されたNPNトランジスタ76と、ベースがNPNトランジスタ76のコレクタに接続され、エミッタが端子T_cに接続され、コレクタがインピーダンス素子Z₁₀を介してPNPトランジスタ62のベースに接続されたNPNトランジスタ78とから構成される。なお、上記各インピーダンス素子Zは、定電流源又は抵抗等から構成されて、各トランジスタに流れる電流を制限するためのものである。

【0039】そして、このように構成された駆動回路DRにおいては、端子T_aには直流電源BTの正極側が接続され、端子T_cには直流電源BTの負極側が接続されていることから、端子T₂に、直流電源BTの負極側電位（以下、グランド電位という）よりも高いハイレベルの信号（第2駆動信号S₂）が入力されると、NPNトランジスタ74がオン状態となって、NPNトランジスタ72のベース電位をグランド電位にし、NPNトラン

ジスタ72をオフさせる。また、この状態では、NPNトランジスタ76がオフし、NPNトランジスタ78がオンする。この結果、第2スイッチング素子としてのPNPトランジスタ62には、NPNトランジスタ78を介してベース電流が流れ、PNPトランジスタ62がオン状態となる。

【0040】一方、端子T₂への第2駆動信号S₂の入力が遮断されると（詳しくは、端子T₂がローレベルとなると）、NPNトランジスタ74がオフするため、NPNトランジスタ76がオン、NPNトランジスタ78がオフ状態となって、PNPトランジスタ62のベース電流が遮断され、PNPトランジスタ62がオフ状態になる。そして、この状態では、NPNトランジスタ74のコレクタがハイレベルとなるので、NPNトランジスタ72がオンする。

【0041】また次に、第1スイッチング素子であるFET12のゲートは、端子T₁に接続されている。このため、端子T₁にグランド電位よりもFET12のしきい値電圧以上高いハイレベルの駆動信号（第1駆動信号）S₁を入力すれば、FET12はオンし、端子T₁にローレベルの第1駆動信号S₁信号を入力すれば、FET12はオフする。

【0042】従って、図3に示すように、各端子T₁、T₂に、同時にハイレベルとならないように所定の時間差を設けて極性の異なる駆動信号S₁、S₂を交互に入力すれば、FET12とPNPトランジスタ62とが所定時間差を保ちながら交互にオンし、しかもNPNトランジスタ72は、PNPトランジスタ62と同期して、PNPトランジスタ62とは逆にオン／オフ状態が切り変わる。

【0043】そして、本実施例の駆動装置には、図1に示した各構成要素が備えられていることから、上記駆動信号S₁、S₂の入力により、FET12がオンして、誘導性負荷Lに直流電源BTから電流経路Aを通して電流が流れているときには、コンデンサ42が電源電圧V_{BT}にて充電され、FET12がオフして、誘導性負荷Lに電流経路Bを通して電流が流れているときには、端子T_dの電位によって、FET32がオンし、FET32の寄生ダイオードにて構成される整流素子20の両端電圧が、従来装置に比べて大幅に低減される。よって本実施例の駆動装置によれば、電流経路Bでの発熱量を抑制することができる。

【0044】また、第2スイッチング素子であるPNPトランジスタ62のベース－エミッタ間にはコンデンサ66が設けられているので、FET12のオン／オフに伴い端子T_dの電位が大きく変化しても、その変化によって、PNPトランジスタ62が誤動作するのを防止でき、駆動装置の信頼性を向上できる。

【0045】また特に、本実施例では、PNPトランジスタ62とFET32のゲートとの間に、ダイオード6

4を設けているので、FET64をオンする時間が長くなっても、PNPトランジスタ62のベース電流によって、FET32のゲートからPNPトランジスタ62側に電流が流れて、FET32がオフしてしまうのを防止できる。よって、本実施例によれば、第2スイッチング素子をバイポーラトランジスタにて構成した場合に生じるこうした問題をも解決することができ、装置の信頼性をより向上させることができるようになる。

【0046】以上説明したように、本実施例の駆動装置によれば、図1に示した駆動装置と同様に動作し、同様の効果を得ることができるが、駆動装置を上記のように動作させるには、第1駆動信号S1及び第2駆動信号S2が必要であり、こうした駆動信号S1、S2を出力できない従来の制御装置を利用することができない。

【0047】そこで、本実施例の駆動装置には、前述の駆動信号生成手段として、図4(a)に示すような駆動信号生成回路を設け、駆動装置側で、制御装置から出力されたFET12をオン／オフさせるための制御信号S0から、各駆動信号S1、S2を生成するようにするとよい。以下、この駆動信号生成回路について説明する。

【0048】図4(a)に示す如く、駆動信号生成回路は、図示しない電源回路から定電圧Vccを受けて定電流i1、i2を流す一対の定電流源80、82を備える。なお、定電流源80は定電流源82よりも大きな電流($i1 > i2$)を流すようにされている。

【0049】そして、一方の定電流源80からの電流経路上には、コレクタが定電流源80側に接続され、エミッタが端子Tgを介して駆動装置のグラウンド電位に接地された一対のNPNトランジスタ84、86が設けられ、他方の定電流源82からの電流経路上には、コレクタが定電流源82側に接続され、エミッタが端子Tgを介して駆動装置のグラウンド電位に接地されたNPNトランジスタ86が設けられると共に、このNPNトランジスタ86のコレクタエミッタ間に並列に接続された第3容量素子としてのコンデンサ90が設けられている。

【0050】また、NPNトランジスタ84のベースは、制御装置からの制御信号S0を受ける入力端子Tiに接続されており、NPNトランジスタ86のベースは、自己のコレクタに接続されると共に、NPNトランジスタ88のベースに接続されている。つまり、NPNトランジスタ86、88はカレントミラー回路を構成している。

【0051】従って、駆動信号生成回路においては、図4(b)に示すように、入力端子Tiに入力される制御信号S0がハイレベルであれば、NPNトランジスタ84がオン状態となって、定電流i1がNPNトランジスタ84を流れることから、NPNトランジスタ86、88が共にオフ状態となり、コンデンサ90が定電流i2にて充電され、コンデンサ90の両端電圧V90が一定の傾きで、電源回路から供給される定電圧Vccまで上昇す

る。

【0052】一方、制御信号S0がローレベルであれば、NPNトランジスタ84がオフ状態となって、定電流i1がNPNトランジスタ86を流れる。すると、NPNトランジスタ88にも、これと同じ定電流i1が流れるが、NPNトランジスタ88側の定電流源82は、定電流源80よりも小さい定電流i2を流すため、NPNトランジスタ88には、定電流源82だけで定電流i1を供給できず、電流不足分($i1 - i2$)だけ、コンデンサ90から引き出される。この結果、コンデンサ90は、一定電流「 $i1 - i2$ 」で放電されることになり、その両端電圧V90はグラウンド電位となるまで一定の傾きで減少する。

【0053】また次に、駆動信号生成回路には、このように変化するコンデンサ90の両端電圧と、定電圧Vccを抵抗分圧にて生成された第1基準電圧Vref1及び第2基準電圧Vref2(但し、 $Vref1 < Vref2$)とを夫々比較する一対の比較回路(コンパレータ)92、94が設けられている。そして、コンパレータ92は、コンデンサ90の両端電圧V90が第1基準電圧Vref1よりも大きいときにローレベルの信号を出力し、コンデンサ90の両端電圧V90が第1基準電圧Vref1以下であるときにハイレベルの信号を出力するよう構成され、コンパレータ94は、コンデンサ90の両端電圧V90が第2基準電圧Vref2よりも大きいときにハイレベルの信号を出力し、コンデンサ90の両端電圧V90が第2基準電圧Vref2以下であるときにローレベルの信号を出力するよう構成されている。

【0054】この結果、各コンパレータ92、94からは、制御信号S0の電圧レベルに応じて交互にハイレベルとなり、しかも、一方の信号レベルがハイレベルからローレベルに反転した後、V90の傾きで決定される一定時間だけ遅れて、他方の信号レベルがローレベルからハイレベルへと変化する、2種類の信号が出力されることになる。このため、各コンパレータ92、94からの出力信号を、夫々、第1駆動信号S1及び第2駆動信号S2として、上記各端子T1、T2に入力することにより、図3に示した駆動装置を、FET12、32が同時にオンしないように、正常に動作させることが可能になる。

【0055】以上、本発明の一実施例について説明したが、本発明は上記実施例に限定されるものではなく、種々の態様を採ることができる。例えば、上記実施例では、FET32をオン／オフさせるための第2スイッチング素子及び放電用のスイッチング素子に、バイポーラトランジスタを用いるものとして説明したが、図6に示す如く、第2スイッチング素子にpチャネルMOSFET63(以下単にFET63という)を使用し、放電用のスイッチング素子にnチャネルMOSFET73(以下単にFET73という)を使用することもできる。そ

して、この場合には、図6に示すように、駆動回路DRもMOSFETにて構成すれば、駆動装置をMOSFETのみにて構成でき、駆動装置をIC化する際には、MOSの単一工程で製造できることになる。

【0056】なお、図6において、第2スイッチング素子を構成するFET63は、ソースが端子Tdに、ドレインがFET32のゲートに、夫々接続され、放電用のスイッチング素子を構成するFET73は、ドレインがFETのゲートに、ソースが端子Tcに接続されている。また、駆動回路DRは、3つのnチャネルMOSFET75, 77, 79（以下これら各MOSFETを、単にFET75, FET77, FET79という）と、3つのインピーダンス素子Z1, Z3, Z5とから構成されている。そして、FET75は、ゲートが端子T2に接続され、ソースが端子Taに接続され、ドレインがインピーダンス素子Z1を介して端子Taに接続されると共に、FET73のゲートに接続されている。また、FET77は、ゲートがFET75のドレインに接続され、ソースが端子Tcに接続され、ドレインがインピーダンス素子Z3を介して端子Taに接続されており、更に、FET79は、ゲートがFET77のドレインに接続され、ソースが端子Tcに接続され、ドレインがインピーダンス素子Z5を介してFET63のゲートに接続されている。

【0057】そして、このように構成された駆動回路DRにおいては、端子T2にハイレベルの第2駆動信号S2が入力されると、FET75がオンし、FET77がオフし、FET79がオンするため、FET63がオン状態、FET73がオフ状態となり、逆に、端子T2への第2駆動信号S2の入力が遮断されて、端子T2の電位がローレベルとなると、FET75がオフし、FET77がオンし、FET79がオフするため、FET63がオフ状態、FET73がオン状態となる。よって、図5に示した駆動装置においても、図3に示した駆動装置と同様に動作させることができる。

【0058】なお、コンデンサ42の容量値は、次のように設定すればよい。コンデンサ42の容量値をCf、FET32のゲート容量をCox、直流電源BTの電圧をVBT、FET32のしきい値電圧をVTHとした場合に、

$$(Cf \cdot VBT) / (Cf + Cox) \geq VTH$$

となるようにCfの値を設定すればよい。さらに、FET32のオン動作をより確実なものとするためには、 $Cf \geq Cox$ とすることが好ましい。

【図面の簡単な説明】

【図1】 第1スイッチング素子がローサイドスイッチとして設けられた駆動装置における本発明の構成を例示するブロック図である。

【図2】 第1スイッチング素子がハイサイドスイッチとして設けられた駆動装置における本発明の構成を例示するブロック図である。

【図3】 実施例の誘導性負荷の駆動装置の構成を表す電気回路図である。

【図4】 駆動装置を動作させるための第1及び第2駆動信号を生成する駆動信号生成回路の構成及びその動作を説明する説明図である。

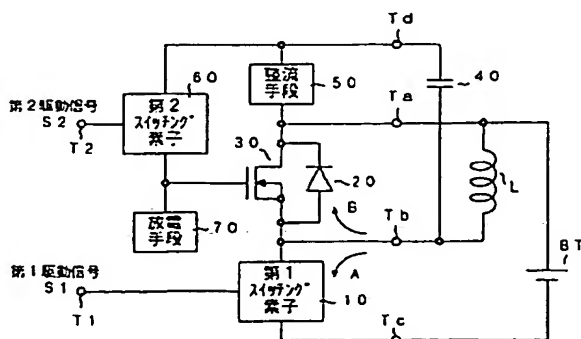
【図5】 駆動装置をMOSFETのみで構成した実施例の構成を表す電気回路図である。

【図6】 従来の誘導性負荷の駆動装置の構成を表す電気回路図である。

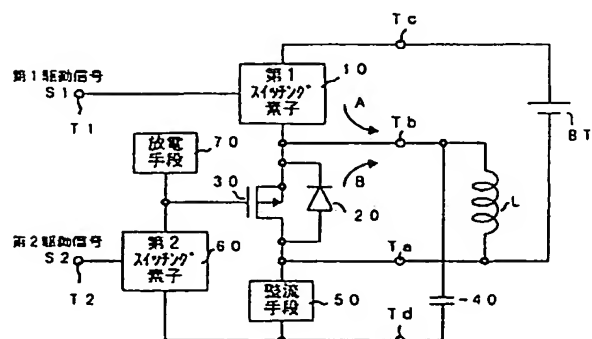
【符号の説明】

10…第1スイッチング素子、12…nチャネルMOSFET、20…整流素子、40…第1容量素子、42…コンデンサ、50…整流手段、52…ダイオード、60…第2スイッチング素子、62…PNPトランジスタ、63…pチャネルMOSFET、66…コンデンサ（第2容量素子）、70…放電手段、72…NPNトランジスタ、73…nチャネルMOSFET、DR…駆動回路、80, 82…定電流源、90…コンデンサ（第3容量素子）、92, 94…コンパレータ、BT…直流電源、L…誘導性負荷。

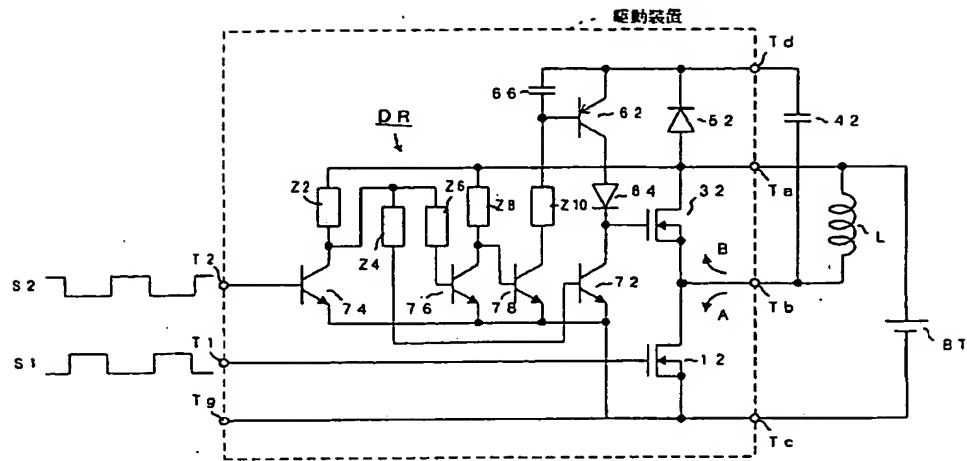
【図1】



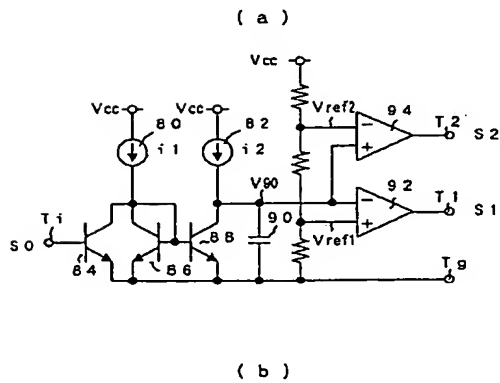
【図2】



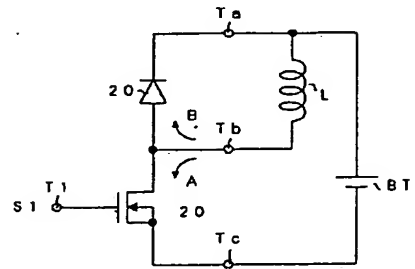
【図3】



【図4】



【図6】



【図5】

